

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Sung-Min Kim et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **DOUBLE GATE MOS TRANSISTORS AND METHODS OF  
MANUFACTURING DOUBLE GATE MOS TRANSISTORS**

Date: November 18, 2003

M.S. PATENT APPLICATION

Commissioner for Patents

P. O. Box 1450

Alexandria, VA 22313-1450

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

10-2003-0003807, filed January 20, 2003.

Respectfully submitted,



Timothy J. O'Sullivan

Registration No. 35,632

USPTO Customer No. 20792

Myers Bigel Sibley & Sajovec, P.A.

Post Office Box 37428

Raleigh, North Carolina 27627

Telephone: (919) 854-1400

Facsimile: (919) 854-1401

Our File No. 5649-1175

**CERTIFICATE OF EXPRESS MAILING**

"Express Mail" mailing label number EV 353594397 US

Date of Deposit: November 18, 2003

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to MAIL STOP PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Washington, DC 20231.



Traci A. Brown



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0003807  
Application Number

출원년월일 : 2003년 01월 20일  
Date of Application  
JAN 20, 2003

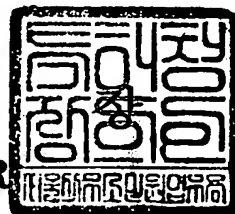
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      년      07      월      25      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.01.20
【발명의 명칭】	이중 게이트 모스 트랜지스터 및 그 제조방법
【발명의 영문명칭】	Double-gate MOS transistor and method of fabricating the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	박동건
【성명의 영문표기】	PARK, DONG GUN
【주민등록번호】	590218-1053119
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동 무지개마을 제일아파트 801-401
【국적】	KR
【발명자】	
【성명의 국문표기】	이창섭
【성명의 영문표기】	LEE, CHANG SUB
【주민등록번호】	680715-1109521
【우편번호】	441-400
【주소】	경기도 수원시 권선구 곡반정동 579번지 한솔아파트 104동 1202호
【국적】	KR
【발명자】	
【성명의 국문표기】	최정동
【성명의 영문표기】	CHOE, JEONG DONG

【주민등록번호】	690726-1550311		
【우편번호】	431-719		
【주소】	경기도 안양시 동안구 달안동 섯별한양아파트 302동 905호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	이신애		
【성명의 영문표기】	LEE,SHIN AE		
【주민등록번호】	770809-2808414		
【우편번호】	440-600		
【주소】	경기도 수원시 장안구 수원우체국사서함 125호 15동 519호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	김성호		
【성명의 영문표기】	KIM,SEONG HO		
【주민등록번호】	720505-1653010		
【우편번호】	449-901		
【주소】	경기도 용인시 기흥읍 농서리 산7-1 월계수동 214호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	김성민		
【성명의 영문표기】	KIM,SUNG MIN		
【주민등록번호】	740116-1772529		
【우편번호】	403-103		
【주소】	인천광역시 부평구 부개3동 삼부아파트 108동 2204호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	32	면	32,000 원

【우선권주장료】	0	건	0	원
【심사청구료】	36	항	1,261,000	원
【합계】	1,322,000		원	
【첨부서류】	1.	요약서·명세서(도면)_1통		

## 【요약서】

## 【요약】

이중 게이트 모스 트랜지스터 및 그 제조방법을 제공한다. 상기 이중 게이트 모스 트랜지스터는 반도체기판의 소정영역에 한정된 활성영역 상부에 배치된 트랜지스터 활성영역을 구비한다. 적어도 하나의 반도체기둥(semiconductor pillar)이 상기 트랜지스터 활성영역을 관통하여 상기 활성영역과 접촉한다. 상기 트랜지스터 활성영역 및 상기 활성영역 사이의 영역은 절연된 하부 게이트 전극으로 채워진다. 상기 트랜지스터 활성영역 상에 상부 게이트 전극이 배치된다. 상기 상부 게이트 전극의 양 단들은 상기 하부 게이트 전극의 측벽과 접촉한다. 상기 이중 게이트 모스 트랜지스터를 제조하는 방법은 반도체기판의 활성영역 상에 차례로 적층된 희생막 패턴 및 트랜지스터 활성영역과 아울러 상기 트랜지스터 활성영역 및 상기 희생막 패턴을 관통하는 적어도 하나의 반도체기둥을 형성하는 것을 구비한다. 상기 희생막 패턴을 선택적으로 제거하여 상기 트랜지스터 활성영역의 하부에 언더컷 영역을 형성한다. 상기 결과물 상에 상기 언더컷 영역을 채우는 절연된 게이트 도전막을 형성한다. 상기 절연된 게이트 도전막을 패터닝하여 상기 언더컷 영역 내에 잔존하는 하부 게이트 전극 및 상기 트랜지스터 활성영역의 상부를 가로지르는 상부 게이트 전극을 형성한다.

## 【대표도】

도 10a

**【명세서】****【발명의 명칭】**

이중 게이트 모스 트랜지스터 및 그 제조방법{Double-gate MOS transistor and method of fabricating the same}

**【도면의 간단한 설명】**

도 1은 본 발명의 일 실시예에 따른 이중 게이트 모스 트랜지스터의 평면도이고,

도 2a 내지 도 10a는 본 발명의 일 실시예에 따른 이중 게이트 모스 트랜지스터의 제조방법을 설명하기 위하여 도 1의 I-I에 따라 취해진 단면도들이고,

도 2b 내지 도 10b는 본 발명의 일 실시예에 따른 이중 게이트 모스 트랜지스터의 제조방법을 설명하기 위하여 도 1의 II-II에 따라 취해진 단면도들이고,

도 11 내지 도 13은 도 3a에 보여진 반도체 기둥을 형성하는 방법을 구체적으로 설명하기 위한 단면도들이고,

도 14는 본 발명의 다른 실시예에 따른 이중 게이트 모스 트랜지스터의 평면도이고,

도 15는 도 14의 I-I에 따라 취해진 단면도이고,

도 16은 본 발명의 또 다른 실시예에 따른 이중 게이트 모스 트랜지스터의 평면도이고,

도 17는 도 16의 I-I에 따라 취해진 단면도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 반도체소자 및 그 제조방법에 관한 것으로, 특히 이중 게이트 모스 트랜지스터 및 그 제조방법에 관한 것이다.
- <10> 대부분의 반도체 소자들은 스위칭 소자들로서 모스 트랜지스터들을 채택한다. 따라서, 상기 반도체 소자들의 집적도가 증가함에 따라 상기 모스 트랜지스터들은 점점 축소(scaled down)되고 있다. 상기 모스 트랜지스터들의 전기적인 특성은 상기 반도체 소자들의 성능에 직접적으로 영향을 끼친다.
- <11> 최근에, 상기 고집적 반도체소자들에 적합한 모스 트랜지스터들의 전기적인 특성을 개선시키기 위하여 이중 게이트 모스 트랜지스터가 제안된 바 있다. 상기 이중 게이트 모스 트랜지스터는 채널영역의 상부 및 하부에 각각 배치된 상부 게이트 전극 및 하부 게이트 전극과 아울러서 상기 채널영역의 양 옆에 각각 형성된 소오스 영역 및 드레인 영역을 포함한다. 또한, 상기 상부 게이트 전극은 상기 하부 게이트 전극에 전기적으로 접속된다. 따라서, 상기 게이트 전극들에 문턱전압보다 높은 게이트 전압이 인가되면, 상기 채널 영역의 상부면 및 하부면에 반전층(inversion layer)이 형성된다. 결과적으로, 상기 이중 게이트 모스 트랜지스터는 단일 게이트 전극(single gate electrode)를 갖는 통상의 모스 트랜지스터에 비하여 제한된 면적 내에서 큰 온 전류(large on-current)를 보인다. 이에 따라, 상기 이중 게이트 모스 트랜지스터를 채택하는 반도체소자는 빠른 동작 속도를 보인다.



<12>       상기 이중 게이트 모스 트랜지스터는 미국특허 제6,004,837호에 "이중 게이트 에스오아이 트랜지스터(dual-gate SOI transistor)"라는 제목으로 감비노(Gambino) 등에 의해 개시된 바 있다. 상기 미국특허 제6,004,837호에 따르면, 에스오아이(SOI; silicon on insulator) 기판에 상부 게이트 전극(top gate electrode) 하부 게이트 전극을 갖는 모스 트랜지스터가 형성된다. 결과적으로, 상기 이중 게이트 모스 트랜지스터를 형성하기 위해서는 에스오아이 기판이 요구된다.

**【발명이 이루고자 하는 기술적 과제】**

<13>       본 발명이 이루고자 하는 기술적 과제는 에스오아이 기판의 사용없이 통상의 반도체 기판에 이중 게이트 모스 트랜지스터를 제조하는 방법을 제공하는 데 있다.

<14>       본 발명이 이루고자 하는 다른 기술적 과제는 통상의 반도체기판에 제조된 이중 게이트 모스 트랜지스터를 제공하는 데 있다.

**【발명의 구성 및 작용】**

<15>       상기 기술적 과제들을 이루기 위하여 본 발명은 이중 게이트 모스 트랜지스터 및 그 제조방법을 제공한다.

<16>       본 발명의 일 양태에 따르면, 상기 이중 게이트 모스 트랜지스터를 제공한다. 상기 이중 게이트 모스 트랜지스터는 반도체기판의 소정영역에 형성되어 활성영역을 한정하는 소자분리막과 상기 활성영역 상부에 배치되고 상기 활성영역과 접치는 트랜지스터 활성영역을 포함한다. 적어도 하나의 반도체 기둥(semiconductor pillar)이 상기 트랜지스터 활성영역을 관통하여 상기 활성영역과 접촉한다. 상기 반도체 기둥은 상기 트랜지스터 활성영역 및 상기 활성영역이 서로 이격되도록 상기 트랜지스터 활성영역을 지지한다.

상기 트랜지스터 활성영역 및 상기 활성영역 사이의 영역은 하부 게이트 전극(bottom gate electrode)으로 채워진다. 상기 하부 게이트 전극은 상기 활성영역, 상기 트랜지스터 활성영역 및 상기 반도체 기둥으로부터 절연된다. 적어도 하나의 상부 게이트 전극(top gate electrode)이 상기 트랜지스터 활성영역의 상부를 가로지르도록 배치된다. 상기 상부 게이트 전극은 상기 하부 게이트 전극의 측벽과 접촉하는 양 단들을 갖는다. 상기 상부 게이트 전극은 상기 하부 게이트 전극과 겹치고 상기 트랜지스터 활성영역으로부터 절연된다.

<17>        상기 적어도 하나의 반도체기둥은 상기 트랜지스터 활성영역의 일 부분을 관통하는 단일 반도체 기둥(a single semiconductor pillar)일 수 있다. 예를 들면, 상기 적어도 하나의 반도체기둥은 상기 트랜지스터 활성영역의 중심부를 관통할 수 있다. 이 경우에, 상기 적어도 하나의 하부 게이트 전극은 단일 하부 게이트 전극에 해당한다.

<18>        이와는 달리, 상기 적어도 하나의 반도체 기둥은 상기 트랜지스터 활성영역을 제1 및 제2 트랜지스터 활성영역들로 분할시키는(divide) 바 형태의 단일 반도체 기둥(bar-shaped single semiconductor pillar), 즉 바 형태의 중심 반도체기둥(bar-shaped central semiconductor pillar)일 수도 있다. 이 경우에, 상기 하부 게이트 전극 역시 제1 및 제2 하부 게이트 전극들로 분할된다. 다시 말해서, 상기 바 형태의 단일 반도체 기둥은 상기 트랜지스터 활성영역과 아울러서 상기 하부 게이트 전극을 가로질러 배치된다. 이에 더하여, 상기 적어도 하나의 상부

게이트 전극은 상기 제1 및 제2 트랜지스터 활성영역들의 상부를 각각 가로지르는 제1 및 제2 상부 게이트 전극들을 포함할 수 있다. 상기 제1 및 제2 상부 게이트 전극들이 각각 상기 제1 및 제2 하부 게이트 전극들과 겹치도록 배치된 경우에, 상기 제1 상부 게이트 전극은 상기 제1 하부 게이트 전극의 측벽과 접촉하는 양 단들을 갖고 상기 제2 상부 게이트 전극은 상기 제2 하부 게이트 전극의 측벽과 접촉하는 양 단들을 갖는다. 즉, 상기 제1 상부 게이트 전극은 상기 제1 하부 게이트 전극에 전기적으로 연결되고, 상기 제2 상부 게이트 전극은 상기 제2 하부 게이트 전극에 전기적으로 연결된다.

<19> 더 나아가서, 상기 적어도 하나의 반도체기둥은 상기 바 형태의 중심 반도체기둥과 아울러서 상기 트랜지스터 활성영역의 양 가장자리들에 각각 배치된 제1 및 제2 반도체기둥들을 더 포함할 수 있다. 상기 제1 반도체기둥은 상기 제1 트랜지스터 활성영역의 가장자리와 접촉하고 상기 중심 반도체기둥의 반대편에 위치한다. 또한, 상기 제2 반도체기둥은 상기 제2 트랜지스터 활성영역의 가장자리와 접촉하고 상기 중심 반도체기둥의 반대편에 위치한다. 결과적으로, 상기 제1 및 제2 반도체기둥들은 각각 상기 중심 반도체기둥의 양 옆에 배치된다. 이에 따라, 상기 제1 반도체기둥 및 상기 중심 반도체기둥 사이의 영역 내에 제1 하부 게이트 전극 및 제1 트랜지스터 활성영역이 차례로 적층되고, 상기 제2 반도체기둥 및 상기 중심 반도체기둥 사이의 영역 내에 제2 하부 게이트 전극 및 제2 트랜지스터 활성영역이 차례로 적층된다. 이 경우에, 상기 상부 게이트 전극은 제1 및 제2 트랜지스터 활성영역들의 상부를 각각 가로지르는 제1 및 제2 상부 게이트 전극들을 포함한다.

- <20> 한편, 상기 적어도 하나의 반도체기둥은 상기 제1 및 제2 반도체기둥들로만 구성될 수도 있다. 이 경우에, 상기 하부 게이트 전극은 상기 제1 및 제2 반도체 기둥들 사이의 영역 내에 배치된 단일 하부 게이트 전극이다.
- <21> 본 발명의 다른 양태에 따르면, 이중 게이트 모스 트랜지스터의 제조방법을 제공한다. 이 방법은 반도체기판 상에 제1 희생막, 반도체막 및 하부 하드마스크막을 차례로 형성하는 것을 포함한다. 상기 하부 하드마스크막, 상기 반도체막 및 상기 제1 희생막을 관통하는 적어도 하나의 반도체 기둥을 형성한다. 상기 반도체 기둥은 상기 반도체기판의 소정영역과 접촉한다. 상기 반도체 기둥을 갖는 반도체기판 상에 상부 하드마스크막을 형성한다. 상기 상부 하드마스크막 및 상기 하부 하드마스크막을 연속적으로 패터닝하여 상기 반도체 기둥을 덮는 하드마스크 패턴을 형성한다. 상기 하드마스크 패턴을 식각 마스크로 사용하여 상기 반도체막, 상기 제1 희생막 및 상기 반도체기판을 연속적으로 식각하여 상기 반도체 기둥과 접촉하면서 차례로 적층된 제1 희생막 패턴 및 트랜지스터 활성영역을 형성함과 동시에 상기 반도체 기판 내에 트렌치 영역을 형성한다. 상기 트렌치 영역은 상기 하드마스크 패턴의 하부에 활성영역을 한정한다. 상기 제1 희생막 패턴을 선택적으로 제거하여 상기 트랜지스터 활성영역의 아래에 언더컷 영역을 형성한다. 상기 언더컷 영역 내에 제2 희생막 패턴을 형성한다. 상기 트렌치 영역 내에 상기 제2 희생막 패턴의 측벽을 노출시키는 리세스된 소자분리막을 형성한다. 상기 제2 희생막 패턴 및 상기 하드마스크 패턴을 선택적으로 제거하여 상기 트랜지스터 활성영역 하부에 상기 언더컷 영역을 다시 형성한다. 상기 트랜지스터 활성영역의 표면, 상기 활성영역의 상부면 및 상기 반도체 기둥의 표면 상에 게이트 절연막을 형성한다. 상기 게이트 절연막을 갖는 반도체기판 상에 상기 언더컷 영역을 채우는 도전막을 형성한다. 상기

도전막을 패터닝하여 상기 트랜지스터 활성영역의 상부를 가로지르면서 상기 언더컷 영역과 겹치는 적어도 하나의 상부 게이트 전극을 형성한다. 그 결과, 상기 언더컷 영역 내에 상기 상부 게이트 전극에 전기적으로 연결된 하부 게이트 전극이 형성된다. 즉, 상기 상부 게이트 전극의 양 단들은 상기 하부 게이트 전극의 측벽과 접촉한다.

<22> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다.

<23> 도 1은 본 발명의 제1 실시예에 따른 이중 게이트 모스 트랜지스터를 도시한 평면도이고, 도 10a 및 도 10b는 각각 도 1의 I-I 및 II-II에 따라 취해진 단면도들이다.

<24> 도 1, 도 10a 및 도 10b를 참조하면, 실리콘 기판과 같은 반도체기판(1)의 소정 영역에 소자분리막(23)이 형성된다. 상기 소자분리막(23)은 활성영역(17a)을 한정한다. 상기 활성영역(17a) 상부에 트랜지스터 활성영역이 배치된다. 상기 트랜지스터 활성영역은 상기 활성영역(17a)과 중첩된다. 상기 트랜지스터 활성영역은 실리콘막과 같은 반도체막으로 이루어진다. 적어도 하나의 반도체 기둥이 상기 트랜지스터 활성영역의 소정영역을 관통한다. 예를 들면, 상기 적어도 하나의 반도체 기둥은 도 1 및 도 10a에 도시된 바와 같이 상기 트랜지스터 활성영역을 가로지르는 수평 바 형태의 단일 반도체 기둥(a horizontal bar-shaped single semiconductor pillar; 11a), 즉 중심 반도체기둥일 수 있다. 이에 따라, 상기 트랜지스터 활성영역은 상기 중심 반도체기둥(11a)에 의해 제1 및 제2 트랜지스터 활성영역들(5a, 5b)로 분할된다.

<25> 상기 중심 반도체기둥(11a)은 실리콘막과 같은 반도체막으로 이루어진다. 상기 중심 반도체기둥(11a)은 상기 활성영역(17a)의 표면과 접촉한다. 또한, 상기 중심 반도체기둥

(11a)은 상기 제1 및 제2 트랜지스터 활성영역들(5a, 5b)이 상기 활성영역(17a)으로부터 이격되도록 상기 제1 및 제2 트랜지스터 활성영역들(5a, 5b)을 지지한다. 이에 따라, 상기 트랜지스터 활성영역들(5a, 5b) 및 상기 활성영역(17a) 사이에 빈 공간들(empty spaces), 즉 언더 컷 영역들이 존재한다. 구체적으로, 상기 제1 트랜지스터 활성영역(5a) 및 상기 활성영역(17a) 사이에 제1 언더 컷 영역이 존재하고, 상기 제2 트랜지스터 활성영역(5b) 및 상기 활성영역(17a) 사이에 제2 언더 컷 영역이 존재한다. 상기 제1 및 제2 언더컷 영역들은 각각 제1 및 제2 하부 게이트 전극들(first and second bottom gate electrodes; 27c, 27d)로 채워진다.

<26>        상기 하부 게이트 전극들(27c, 27d) 및 상기 트랜지스터 활성영역들(5a, 5b) 사이에는 게이트 절연막(25)이 개재된다. 또한, 상기 게이트 절연막(25)은 상기 하부 게이트 전극들(27c, 27d) 및 상기 반도체 기둥(11a) 사이에 개재된다. 이에 더하여, 상기 게이트 절연막(25)은 상기 하부 게이트 전극들(27c, 27d) 및 상기 활성영역(17a) 사이에 개재된다. 결과적으로, 상기 하부 게이트 전극들(27c, 27d)은 상기 트랜지스터 활성영역들(5a, 5b), 상기 반도체 기둥(11a) 및 상기 활성영역(17a)으로부터 상기 게이트 절연막(25)에 의해 절연된다.

<27>        상기 제1 및 제2 트랜지스터 활성영역들(5a, 5b)의 상부에 각각 제1 및 제2 상부 게이트 전극들(first and second top gate electrodes; 27a, 27b)이 배치된다. 상기 제1 상부 게이트 전극(27a)의 양 단들은 도 10b에 도시된 바와 같이 상기 제1 하부 게이트 전극(27c)의 측벽에 접촉된다. 결과적으로, 상기 제1 상부 게이트 전극(27a)은 상기 제1 하부 게이트 전극(27c)에 전기적으로 연결된다. 이와 마찬가지로, 상기 제2 상부 게이트 전극(27b)의 양 단들은 상기 제2 하부 게이트 전극(27d)의 측벽에 접촉된다. 결과적으로

로, 상기 제2 상부 게이트 전극(27b)은 상기 제2 하부 게이트 전극(27d)에 전기적으로 연결된다. 상기 게이트 절연막(25)은 또한 상기 상부 게이트 전극들(27a, 27b) 및 상기 트랜지스터 활성영역들(5a, 5b) 사이에도 개재된다.

<28>       상기 상부 게이트 전극들(27a, 27b)의 측벽들은 제1 게이트 스페이서(35a)로 덮여진다. 이에 더하여, 상기 하부 게이트 전극들(27c, 27d)의 측벽들은 제2 게이트 스페이서(35b)로 덮여진다. 상기 제1 및 제2 게이트 스페이서들(35a, 35b)는 절연막인 것이 바람직하다. 상기 제1 및 제2 상부 게이트 전극들(27a, 27b) 상에 각각 제1 및 제2 캐핑막 패턴들(29a, 29b)이 적층될 수도 있다.

<29>       상기 제1 게이트 스페이서들(35a) 하부의 상기 트랜지스터 활성영역들(5a, 5b) 내에 엘디디 영역들(33)이 형성된다. 상기 엘디디 영역들(33)은 상기 상부 게이트 전극들(27a, 27b) 하부에 위치하는 채널 영역들을 한정한다. 상기 채널영역들의 반대편에 상기 엘디디 영역들(33)에 인접하는 고농도 소오스/드레인 영역들(37a, 37b, 37c)이 형성된다. 결과적으로, 상기 제1 트랜지스터 활성영역(5a)에 제1 이중 게이트 모스 트랜지스터가 형성되고, 상기 제2 트랜지스터 활성영역(5b)에 제2 이중 게이트 모스 트랜지스터가 형성된다.

<30>       본 실시예에 따라 제조된 상기 제1 및 제2 이중 게이트 모스 트랜지스터들은 디램의 셀 트랜지스터들에 적용될 수 있다. 이 경우에, 상기 제1 및 제2 상부 게이트 전극들(27a, 27b) 사이에 형성된 상기 고농도 소오스/드레인 영역(37c)은 공통 드레인 영역에 해당할 수 있고, 상기 고농도 소오스/드레인 영역(37a) 및 상기 고농도 소오스/드레인 영역(37b)은 각각 제1 및 제2 소오스 영역들에 해당할 수 있다.

<31> 이에 더하여, 상기 중심 반도체기둥(11a)과 접촉하는 상기 활성영역(17a)의 표면에 소자분리 불순물 영역(10)이 형성되는 것이 바람직하다. 상기 소자분리 불순물 영역(10)은 상기 반도체기판(1), 즉 상기 활성영역(17a)과 다른 도전형을 갖도록 형성된다. 예를 들면, 상기 반도체기판(1)이 P형인 경우에, 상기 소자분리 불순물 영역(10)은 N형이다. 즉, 상기 반도체기둥(11a)의 하부에 PN 접합이 형성된다. 이에 따라, 상기 반도체기둥(11a) 내에 결정결함이 존재하고 상기 공통 드레인 영역에 양의 전압(positive voltage)이 인가될지라도, 상기 반도체기둥(11a) 및 상기 반도체기판(1)을 통하여 흐르는 누설전류를 최소화시킬 수 있다.

<32> 다음에, 도 2a 내지 도 10a와 아울러서 도 2b 내지 도 10b를 참조하여 본 발명의 제1 실시예에 따른 이중 게이트 모스 트랜지스터의 제조방법을 설명하기로 한다. 도 2a 내지 도 10a는 도 1의 I-I에 따라 취해진 단면도들이고, 도 2b 내지 도 10b는 도 1의 II-II에 따라 취해진 단면도들이다.

<33> 도 2a 및 도 2b를 참조하면, 단결정 실리콘 기판(a single crystalline silicon substrate)과 같은 반도체기판(1) 상에 제1 희생막(3), 반도체막(5) 및 하부 하드마스크막(7)을 차례로 형성한다. 상기 반도체막(5)은 상기 반도체기판(1)과 동일한 물질막으로 형성하는 것이 바람직하다. 예를 들면, 상기 반도체기판(1)이 실리콘 기판인 경우에, 상기 반도체막(5)은 실리콘막으로 형성할 수 있다. 가장 바람직하게는, 상기 반도체막(5)은 에피택시얼 성장 기술을 사용하여 단결정 실리콘막으로 형성한다. 상기 제1 희생막(3)은 상기 반도체기판(1), 반도체막(5) 및 하부 하드마스크막(7)에 대하여 식각 선택비를 갖는 물질막으로 형성하는 것이 바람직하다. 이에 더하여, 상기 제1 희생막(3)은 상기 반도체막(5)의 성장 동안 시드층(seed layer)의 역할을 하는 물질막으로 형성하는



것이 바람직하다. 예를 들면, 상기 제1 희생막(3)은 단결정 실리콘 게르마늄막(SiGe layer)으로 형성할 수 있다. 또한, 상기 하부 하드마스크막(7)은 상기 제1 희생막(3) 및 반도체막(5)에 대하여 식각선택비를 갖는 물질막으로 형성하는 것이 바람직하다. 예를 들면, 상기 하부 하드마스크막(7)은 실리콘 질화막으로 형성하는 것이 바람직하다. 상기 하부 하드마스크막(7)을 패터닝하여 상기 반도체막(5)의 소정영역을 노출시키는 적어도 하나의 개구부(opening; 7a)를 형성한다. 본 실시예에서, 상기 개구부(7a)는 평면적으로 보여질 때 수평 바 형태(horizontal bar configuration)를 갖도록 형성된다.

<34> 도 3a 및 도 3b를 참조하면, 상기 패터닝된 하부 하드마스크막(7)을 식각 마스크로 사용하여 상기 반도체막(5) 및 제1 희생막(3)을 식각하여 상기 반도체기판(1)의 소정영역을 노출시키는 홀(9)을 형성한다. 상기 홀(9)은 상기 개구부(7a)와 동일한 형태를 갖는다. 즉, 상기 홀(9) 역시 수평 바 형태(horizontal bar configuration)를 갖는다. 상기 홀(9) 내에 선택적으로 반도체 기둥(11a)을 형성한다. 이에 따라, 상기 반도체 기둥(11a) 역시 도 1에 보여진 바와 같이 수평 바 형태를 갖도록 형성된다. 상기 반도체 기둥(11a)은 상기 반도체막(5)과 동일한 막으로 형성하는 것이 바람직하다. 즉, 상기 반도체 기둥(11a)은 실리콘막으로 형성하는 것이 바람직하다. 상기 반도체 기둥(11a)은 선택적 에피택시얼 성장법(selective epitaxial growth method)을 사용하여 형성할 수 있다.

<35> 상기 반도체기둥(11a)을 형성하기 전에, 상기 노출된 반도체기판의 표면에 불순물 이온들을 주입하여 소자분리 불순물 영역(isolation impurity region; 10)을 형성할 수도 있다. 상기 불순물 이온들은 상기 반도체기판(1)과 다른 도전형질을 갖는다. 이에 따라, 상기 반도체기판(1)이 P형인 경우에, 상기 소자분리 불순물 영역(10)은 N형이다. 결과적으로, 상기 홀(9)의 하부에 PN 접합이 형성된다. 이러한 PN 접합은 상기 단결정

반도체기판(1) 내에 형성되므로 역 바이어스 하에서 누설전류 특성이 우수하다. 따라서, 상기 반도체기둥(11a) 내에 결정결함이 존재할지라도, 후속공정에서 상기 반도체기둥(11a) 및 상기 반도체막(5)에 형성되는 불순물 영역들의 누설전류 특성을 현저히 개선시킬 수 있다.

<36>        상기 선택적 에피택시얼 성장법을 사용하여 상기 홀(9)을 완전히 채우는 상기 반도체 기둥(11a)을 형성하는 경우에, 상기 반도체 기둥(11a) 내에 결정방향(crystalline orientation)에 있어서 불연속적인 영역들(discontinuous regions)이 형성될 수 있다. 이는 상기 선택적 에피택시얼 성장 동안 상기 반도체막(5)의 측벽들 상에 형성되는 단결정 실리콘막의 성장방향이 상기 반도체기판(1)의 표면 상에 형성되는 단결정 실리콘막의 성장방향과 다르기 때문이다. 결과적으로, 상기 반도체 기둥(11a) 내에 그레인 경계(grain boundary)가 형성되고, 상기 그레인 경계는 결정결함들(crystalline defects)을 생성시킨다(generate). 상기 반도체 기둥(11a) 내의 상기 결정결함들은 본 발명에 따른 이중 게이트 모스 트랜지스터의 전기적인 특성, 예컨대 누설전류 특성을 저하시킨다. 따라서, 상기 반도체 기둥(11a)은 상기 결정결함들의 생성을 억제시킬 수 있는 방법을 사용하여 형성되는 것이 바람직하다.

<37>        도 11 내지 도 13은 상기 결정결함들이 생성되는 것을 방지할 수 있는 방법을 설명하기 위한 단면도들이다.

<38>        도 11을 참조하면, 상기 홀(9)의 측벽 및 바닥면(bottom surface) 상에 상술한 선택적 에피택시얼 성장법을 사용하여 제1 예비 반도체 기둥(first preliminary semiconductor pillar; 11g)을 형성한다. 이 경우에, 상기 제1 예비 반도체 기둥(11g)은 도 11에 도시된 바와 같이 상기 홀(9)을 완전히 채우지 않도록 형성된다. 상기 제1 예

비 반도체 기둥(11g)은 상기 반도체기판(1) 상에 성장된 제1 반도체막(11e) 및 상기 반도체막(5)의 측벽 상에 성장된 제2 반도체막(11f)을 포함한다. 이에 따라, 상기 제1 및 제2 반도체막들(11e, 11f) 사이에 그레인 경계들이 생성된다.

<39> 도 12를 참조하면, 상기 제1 예비 반도체 기둥(11g)을 갖는 반도체기판을 열처리하여 상기 홀(9) 내에 제2 예비 반도체 기둥(11h)을 형성함과 동시에 상기 제1 예비 반도체 기둥(11g) 내의 결정결함들을 치유한다(cure). 상기 열처리 공정은 아르곤 가스, 수소 가스 또는 레이저를 사용하여 실시할 수 있다. 그 결과, 상기 제2 예비 반도체 기둥(11h)은 도 12에 도시된 바와 같이 상기 제1 예비 반도체 기둥(11g)에 비하여 낮은 종횡비(low aspect ratio)를 갖는다. 이에 더하여, 상기 제2 예비 반도체 기둥(11h)은 그 내부에 어떠한 그레인 경계를 갖지 않는다. 즉, 상기 제2 예비 반도체 기둥(11h)은 획일적인 결정방향(a unique crystalline orientation)을 갖는다. 상기 열처리 공정이 아르곤 가스를 사용하여 실시되는 경우에, 상기 열처리 공정은 약 900℃의 온도에서 진행될 수 있다. 또한, 상기 열처리 공정이 수소 가스를 사용하여 실시되는 경우에, 상기 열처리 공정은 600℃ 내지 1000℃의 온도에서 진행될 수 있다.

<40> 도 13을 참조하면, 상기 선택적 에피택시얼 성장 기술을 다시 사용하여 상기 제2 예비 반도체 기둥(11h) 상에 반도체막을 추가로 성장시킨다. 그 결과, 상기 홀(9)을 완전히 채우는 상기 반도체 기둥(11a)이 형성된다.

<41> 도 3a 및 도 3b를 다시 참조하면, 상기 반도체 기둥(11a)을 갖는 반도체기판의 전면 상에 상부 하드마스크막(13)을 형성한다. 상기 상부 하드마스크막(13)은 상기 하부 하드마스크막(7)과 동일한 물질막으로 형성하는 것이 바람직하다. 상기 하부 하드마스크막(7) 및 상기 상부 하드마스크막(13)은 하드마스크막(14)을 구성한다. 상기 하드마스크

막(14)의 소정영역 상에 제1 포토레지스트 패턴(15)을 형성한다. 상기 제1 포토레지스트 패턴(15)은 상기 반도체 기둥(11a)의 상부를 가로지르도록 형성된다.

<42> 도 4a 및 도 4b를 참조하면, 상기 제1 포토레지스트 패턴(15)을 식각 마스크로 사용하여 상기 하드마스크막(14)을 패터닝하여 상기 반도체 기둥(11a)을 덮는 하드마스크 패턴(14a)을 형성한다. 결과적으로, 상기 하드마스크 패턴(14a)은 제1 및 제2 하부 하드마스크 패턴들(7a, 7b)과 아울러서 상부 하드마스크 패턴(13a)을 포함한다. 상기 제1 및 제2 하부 하드마스크 패턴들(7a, 7b)은 각각 상기 반도체기둥(11a)의 양 옆에 위치하도록 형성된다. 다음에, 상기 제1 포토레지스트 패턴(15)을 제거한다.

<43> 상기 하드마스크 패턴(14a)을 식각 마스크로 사용하여 상기 반도체막(5), 제1 희생막(3) 및 반도체기판(1)을 연속적으로 식각하여 트렌치 영역(17)을 형성한다. 상기 트렌치 영역(17)은 상기 하드마스크 패턴(14a) 하부에 활성영역(17a)을 한정한다. 이에 따라, 상기 활성영역(17a) 및 상기 제1 하부 하드마스크 패턴(7a) 사이에 차례로 적층된 희생막 패턴(3a) 및 제1 트랜지스터 활성영역(5a)이 형성되고, 상기 활성영역(17a) 및 상기 제2 하부 하드마스크 패턴(7b) 사이에 차례로 적층된 희생막 패턴(3b) 및 제2 트랜지스터 활성영역(5b)이 형성된다. 상기 희생막 패턴들(3a, 3b)은 상기 반도체기둥(11a)에 의해 서로 격리된다(separated). 상기 제1 및 제2 트랜지스터 활성영역들(5a, 5b) 역시 상기 반도체기둥(11a)에 의해 서로 격리된다.

<44> 도 5a 및 도 5b를 참조하면, 상기 희생막 패턴들(3a, 3b)을 선택적으로 제거

하여 상기 제1 및 제2 트랜지스터 활성영역들(5a, 5b) 하부에 각각 제1 및 제2 언더컷 영역들(19a, 19b)을 형성한다. 상기 희생막 패턴들(3a, 3b)이 실리콘 게르마늄막(SiGe layer)으로 형성된 경우에, 상기 희생막 패턴들(3a, 3b)은 질산( $\text{HNO}_3$ ), 불산(hydrofluoric acid; HF) 및 탈이온수(deionized water)의 혼합용액(mixture)를 사용하여 선택적으로 제거될 수 있다. 상기 혼합용액은 초산( $\text{CH}_3\text{COOH}$ )을 더 함유(contain)할 수도 있다.

<45> 도 6a 및 도 6b를 참조하면, 상기 언더컷 영역들(19a, 19b)을 갖는 반도체기판의 전면 상에 제2 희생막을 형성하여 상기 언더컷 영역들(19a, 19b)을 채운다. 이에 따라, 상기 제2 희생막은 상기 트렌치 영역(17)의 측벽 및 바닥면 상에도 형성된다. 상기 제2 희생막은 상기 트랜지스터 활성영역들(5a, 5b), 상기 반도체기판(1) 및 상기 반도체 기둥(11a)에 대하여 식각 선택비를 갖는 물질막으로 형성하는 것이 바람직하다. 예를 들면, 상기 제2 희생막은 실리콘 질화막으로 형성할 수 있다. 상기 제2 희생막을 식각하여 상기 트렌치 영역(17)의 측벽 및 바닥면을 노출시킨다. 그 결과, 상기 제1 및 제2 언더컷 영역들(19a, 19b) 내에 각각 희생막 패턴들(21a, 21b)이 잔존한다. 상기 제2 희생막을 식각하기 위한 공정은 인산( $\text{H}_3\text{PO}_4$ )을 사용하여 실시할 수 있다. 상기 트렌치 영역(17) 내에 통상의 방법을 사용하여 소자분리막(23)을 형성한다. 상기 소자분리막(23)은 산화막과 같은 절연막으로 형성한다.

<46> 도 7a 및 도 7b를 참조하면, 상기 희생막 패턴들(21a, 21b)의 측벽이 노출될 때까지 상기 소자분리막(23)을 리세스시킨다. 상기 하드마스크 패턴(14a) 및 상기 희생막 패턴들(21a, 21b)을 선택적으로 제거하여 상기 트랜지스터 활성영역들(5a, 5b)의 표면들, 상기 반도체 기둥(11a)의 표면 및 상기 활성영역(17a)의 표면을 노출시킨다. 이에 따라,

상기 제1 및 제2 트랜지스터 활성영역들(5a, 5b)의 하부에 각각 상기 제1 및 제2 언더컷 영역들(19a, 19b)이 다시 형성된다.

<47> 도 8a 및 도 8b를 참조하면, 상기 트랜지스터 활성영역들(5a, 5b)의 표면들, 상기 반도체 기둥(11a)의 표면 및 상기 활성영역(17a)의 표면 상에 게이트 절연막(25)을 형성한다. 상기 게이트 절연막(25)은 상기 하드마스크 패턴(14a) 및 상기 희생막 패턴들(21a, 21b)이 제거된 반도체기판을 열산화시키어 형성할 수 있다. 이어서, 상기 게이트 절연막(25)을 갖는 반도체기판의 전면 상에 게이트 도전막(27)을 형성한다. 상기 게이트 도전막(27)은 우수한 단차도포성(good step coverage)을 보이는 증착기술(deposition technique)을 사용하여 형성하는 것이 바람직하다. 예를 들면, 상기 게이트 도전막(27)은 저압 CVD(low pressure chemical vapor deposition) 기술을 사용하여 형성할 수 있다. 이에 따라, 상기 언더컷 영역들(19a, 19b)은 상기 게이트 도전막(27)으로 완전히 채워진다. 상기 게이트 도전막(27)은 도우핑된 폴리실리콘막으로 형성할 수 있다.

<48> 상기 게이트 도전막(27) 상에 제2 포토레지스트 패턴들(31a, 31b)을 형성한다. 상기 제2 포토레지스트 패턴들(31a, 31b)은 각각 상기 제1 및 제2 트랜지스터 활성영역들(5a, 5b)의 상부를 가로지르도록 형성된다. 상기 제2 포토레지스트 패턴들(31a, 31b)을 형성하기 전에, 상기 게이트 도전막(27) 상에 게이트 하드마스크막(29)을 형성할 수도 있다. 상기 게이트 하드마스크막(29)은 CVD 산화막으로 형성하는 것이 바람직하다.

<49> 도 9a 및 도 9b를 참조하면, 상기 제2 포토레지스트 패턴들(31a, 31b)을 식각 마스크로 사용하여 상기 게이트 하드마스크막(29)을 식각하여 상기 제1 및 제2 트랜지스터 활성영역들(5a, 5b)의 상부를 각각 가로지르는 제1 및 제2 게이트 하드마스크 패턴들(29a, 29b)을 형성한다. 이어서, 상기 제2 포토레지스트 패턴들(31a, 31b)을 제거한다.

상기 제1 및 제2 게이트 하드마스크 패턴들(29a, 29b)을 식각 마스크들로 사용하여 상기 게이트 도전막(27)을 식각하여 상기 게이트 전극들을 형성한다. 상기 게이트 전극들은 상기 제1 및 제2 트랜지스터 활성영역들(5a, 5b)의 상부를 각각 가로지르는 제1 및 제2 상부 게이트 전극들(27a, 27b)과 아울러서 상기 제1 및 제2 언더컷 영역들(19a, 19b) 내에 각각 잔존하는 제1 및 제2 하부 게이트 전극들(27c, 27d)을 포함한다. 이에 따라, 상기 제1 상부 게이트 전극(27a)의 양 단들은 도 9b에 도시된 바와 같이 상기 제1 하부 게이트 전극(27c)의 측벽과 접촉한다. 이와 마찬가지로, 상기 제2 상부 게이트 전극(27b)의 양 단들은 상기 제2 하부 게이트 전극(27d)의 측벽과 접촉한다.

<50>        도 10a 및 도 10b를 참조하면, 상기 제1 및 제2 상부 게이트 전극들(27a, 27b)을 갖는 반도체기판에 통상의 방법을 사용하여 제1 게이트 스페이서들(35a), 제2 게이트 스페이서들(35b) 및 소오스/드레인 영역들을 형성한다. 상기 소오스/드레인 영역들은 상기 제1 및 제2 상부 게이트 전극들(27a, 27b) 사이에 형성된 공통 드레인 영역(37c), 상기 제1 게이트 전극(27a)에 인접하고 상기 공통 드레인 영역(37c)의 반대편에 형성된 제1 소오스 영역(37a) 및 상기 제2 게이트 전극(27b)에 인접하고 상기 공통 드레인 영역(37c)의 반대편에 형성된 제2 소오스 영역(37b)을 포함한다. 이에 더하여, 상기 제1 게이트 스페이서들(35a)의 하부에 상기 소오스/드레인 영역들(37a, 37b, 37c)보다 낮은 불순물 농도를 갖는 엘디디 영역들(33)이 형성될 수 있다.

<51>        상술한 바와 같이 상기 제1 실시예에 따르면, 하부 게이트 전극을 상기 게이트 전극에 전기적으로 연결시키는 것이 용이하다.

<52>        도 14는 본 발명의 제2 실시예에 따른 이중 게이트 모스 트랜지스터의 평면도이고, 도 15는 도 14의 I-I에 따라 취해진 단면도이다. 여기서, 도 14의 II-II에 따라 취해

진 단면도는 도 10b와 동일한 구조를 갖는다. 본 실시예는 상기 제1 실시예와 비교하여 볼 때 반도체기둥의 수량 및 그것의 위치만에 있어서 차이점들을 갖는다. 따라서, 본 실시예에서는 상기 반도체기둥에 관련된 설명만을 전개하기로 한다.

<53>      도 14 및 도 15를 참조하면, 본 실시예에 따른 적어도 하나의 반도체기둥은 상기 제1 실시예에서 설명된 중심 반도체기둥(11a)과 아울러서 제1 및 제2 반도체기둥들(11b, 11c)을 구비한다. 상기 제1 및 제2 반도체기둥들(11b, 11c)은 상기 활성영역(17a)의 양 가장자리들 상에 위치한다. 상기 제1 및 제2 반도체기둥들(11b, 11c)은 도 14에 보여진 바와 같이 상기 중심 반도체기둥(11a)과 평행하도록 배치된다. 이에 따라, 상기 제1 반도체기둥(11b) 및 상기 중심 반도체기둥(11a) 사이에 상기 제1 하부 게이트 전극(27c) 및 상기 제1 트랜지스터 활성영역(5a)이 차례로 적층된다. 이와 마찬가지로, 상기 제2 반도체기둥(11c) 및 상기 중심 반도체기둥(11a) 사이에 상기 제2 하부 게이트 전극(27d) 및 상기 제2 트랜지스터 활성영역(5b)이 차례로 적층된다.

<54>      한편, 본 실시예에 따른 이중 게이트 모스 트랜지스터가 상기 제1 실시예와 동일한 방법을 사용하여 제조될 수 있음은 자명하다. 따라서, 본 실시예에 따른 이중 모스 트랜지스터의 제조방법에 대한 설명은 생략하기로 한다.

<55>      도 16은 본 발명의 제3 실시예에 따른 이중 게이트 모스 트랜지스터의 평면도이고, 도 17은 도 16의 I-I에 따라 취해진 단면도이다. 여기서, 도 16의 II-II에 따라 취해진 단면도는 도 10b와 동일한 구조를 갖는다. 본 실시예 역시 상기 제2 실시예와 비교하여 볼 때 반도체기둥의 수량 및 그것의 위치만에 있어서 차이점들을 갖는다. 따라서, 상기 반도체기둥에 관련된 사항만을 전개하기로 한다.



<56> 도 16 및 도 17을 참조하면, 본 실시예에 따른 적어도 하나의 반도체기둥은 상기 제2 실시예에서 설명된 제1 및 제2 반도체기둥들(11b, 11c)만을 구비한다. 이에 따라서, 상기 제1 및 제2 반도체기둥들(11b, 11c) 사이에 단일 하부 게이트 전극(a single bottom gate electrode; 27e) 및 단일 트랜지스터 활성영역(5c)이 차례로 적층된다. 결과적으로, 상기 단일 트랜지스터 활성영역(5c) 상부에 배치된 상기 제1 및 제2 상부 게이트 전극들(27a, 27b)은 상기 단일 하부 게이트 전극(27e)을 통하여 서로 전기적으로 연결된다.

<57> 본 실시예에 따른 이중 게이트 모스 트랜지스터 역시 상기 제1 실시예와 동일한 방법을 사용하여 제조될 수 있음은 자명하다. 따라서, 본 실시예에 따른 이중 모스 트랜지스터의 제조방법에 대한 설명 역시 생략하기로 한다.

#### 【발명의 효과】

<58> 상술한 바와 같이 본 발명의 실시예들에 따르면, 에스오아이(SOI; silicon on insulator) 기판의 사용없이도 이중 게이트 모스 트랜지스터들을 형성하기가 용이하다. 특히, 복잡한 공정의 사용 없이도 하부 게이트 전극을 상부 게이트 전극에 전기적으로 연결시키는 것이 용이하다.

**【특허청구범위】****【청구항 1】**

반도체기판의 소정영역에 형성되어 활성영역을 한정하는 소자분리막;

상기 활성영역 상부에 배치되고 상기 활성영역과 겹치는 트랜지스터 활성영역;

상기 트랜지스터 활성영역을 관통하여 상기 활성영역과 접촉하되, 상기 트랜지스터 활성영역 및 상기 활성영역이 서로 이격되도록 상기 트랜지스터 활성영역을 지지하는 적어도 하나의 반도체 기둥(semiconductor pillar);

상기 트랜지스터 활성영역 및 상기 활성영역 사이의 영역을 채우고, 상기 활성영역, 상기 트랜지스터 활성영역 및 상기 반도체 기둥으로부터 절연된 적어도 하하나의 하부 게이트 전극; 및

상기 트랜지스터 활성영역의 상부를 가로지르고 상기 하부 게이트 전극의 측벽과 접촉하는 양 단들을 갖는 적어도 하나의 상부 게이트 전극을 포함하되, 상기 상부 게이트 전극은 상기 하부 게이트 전극과 겹치고 상기 트랜지스터 활성영역으로부터 절연된 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

**【청구항 2】**

제 1 항에 있어서,

상기 적어도 하나의 반도체 기둥은 상기 트랜지스터 활성영역의 일 부분을 관통하는 단일 반도체 기둥(a single semiconductor pillar)이되, 상기 적어도 하나의 하부 게이트 전극은 단일 하부 게이트 전극(a single bottom gate electrode)인 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

**【청구항 3】**

제 1 항에 있어서,

상기 적어도 하나의 반도체 기둥은 상기 트랜지스터 활성영역의 벌크영역 및 상기 하부 게이트 전극의 벌크영역을 가로지르는 단일 반도체 기둥이되, 상기 단일 반도체 기둥은 상기 트랜지스터 활성영역을 제1 및 제2 트랜지스터 활성영역들로 분리시키고 (divide) 상기 하부 게이트 전극을 제1 및 제2 하부 게이트 전극들로 분리시키는 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

**【청구항 4】**

제 3 항에 있어서,

상기 적어도 하나의 상부 게이트 전극은 상기 제1 트랜지스터 활성영역의 상부를 가로지르는 제1 상부 게이트 전극 및 상기 제2 트랜지스터 활성영역의 상부를 가로지르는 제2 상부 게이트 전극을 포함하되, 상기 제1 및 제2 상부 게이트 전극들은 각각 상기 제1 및 제2 하부 게이트 전극들과 겹치고, 상기 제1 상부 게이트 전극의 양 단들은 상기 제1 하부 게이트 전극의 측벽과 접촉하고, 상기 제2 상부 게이트 전극의 양 단들은 상기 제2 하부 게이트 전극의 측벽과 접촉하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

**【청구항 5】**

제 1 항에 있어서,

상기 적어도 하나의 반도체 기둥은 상기 트랜지스터 활성영역의 중심부 및 상기 하부 게이트 전극의 중심부를 가로지르는 중심 반도체 기둥(central semiconductor

pillar)과 아울러서 상기 중심 반도체 기둥의 양 옆에 각각 배치된 제1 및 제2 반도체 기둥들을 포함하되, 상기 제1 및 제2 반도체 기둥들 사이의 상기 트랜지스터 활성영역은 상기 중심 반도체 기둥에 의해 서로 격리된(separated) 제1 및 제2 트랜지스터 활성영역들로 분할되고(divide), 상기 제1 및 제2 반도체 기둥들 사이의 상기 하부 게이트 전극은 상기 중심 반도체 기둥에 의해 서로 격리된 제1 및 제2 하부 게이트 전극들로 분할되는 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

#### 【청구항 6】

제 5 항에 있어서,

상기 적어도 하나의 상부 게이트 전극은 상기 제1 트랜지스터 활성영역의 상부를 가로지르는 제1 상부 게이트 전극 및 상기 제2 트랜지스터 활성영역의 상부를 가로지르는 제2 상부 게이트 전극을 포함하되, 상기 제1 및 제2 상부 게이트 전극들은 각각 상기 제1 및 제2 하부 게이트 전극들과 겹치고, 상기 제1 상부 게이트 전극의 양 단들은 상기 제1 하부 게이트 전극의 측벽과 접촉하고, 상기 제2 상부 게이트 전극의 양 단들은 상기 제2 하부 게이트 전극의 측벽과 접촉하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

#### 【청구항 7】

제 1 항에 있어서,

상기 적어도 하나의 반도체 기둥은 상기 트랜지스터 활성영역 및 상기 하부 게이트 전극의 양 가장자리들에 각각 배치된 제1 및 제2 반도체 기둥들을 포함하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

**【청구항 8】**

제 7 항에 있어서,

상기 적어도 하나의 상부 게이트 전극은 상기 트랜지스터 활성영역의 상부를 가로지르는 제1 및 제2 평행한 상부 게이트 전극들을 포함하되, 상기 제1 및 제2 상부 게이트 전극들의 양 단들은 상기 하부 게이트 전극의 측벽과 접촉하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

**【청구항 9】**

반도체기판의 소정영역에 형성되어 활성영역을 한정하는 소자분리막;

상기 활성영역 상부에 배치되고 상기 활성영역과 겹치는 트랜지스터 활성영역;

상기 트랜지스터 활성영역의 중심부를 가로질러 상기 트랜지스터 활성영역을 제1 및 제2 트랜지스터 활성영역들로 분할시키면서(divide) 상기 활성영역과 접촉하되, 상기 제1 및 제2 트랜지스터 활성영역들이 상기 활성영역으로부터 이격되도록 상기 제1 및 제2 트랜지스터 활성영역들을 지지하는 중심 반도체 기둥(central semiconductor pillar);

상기 제1 트랜지스터 활성영역 및 상기 활성영역 사이의 영역을 채우고, 상기 활성영역, 상기 제1 트랜지스터 활성영역 및 상기 반도체 기둥으로부터 절연된 제1 하부 게이트 전극;

상기 제2 트랜지스터 활성영역 및 상기 활성영역 사이의 영역을 채우고, 상기 활성영역, 상기 제2 트랜지스터 활성영역 및 상기 반도체 기둥으로부터 절연된 제2 하부 게이트 전극;

상기 제1 트랜지스터 활성영역의 상부를 가로지르고 상기 제1 하부 게이트 전극의 측벽과 접촉하는 양 단들을 갖는 제1 상부 게이트 전극; 및

상기 제2 트랜지스터 활성영역의 상부를 가로지르고 상기 제2 하부 게이트 전극의 측벽과 접촉하는 양 단들을 갖는 제2 상부 게이트 전극을 포함하되, 상기 제1 및 제2 상부 게이트 전극들은 각각 상기 제1 및 제2 하부 게이트 전극들과 겹치는 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

**【청구항 10】**

제 9 항에 있어서,

상기 중심 반도체 기둥과 접촉하는 상기 활성영역의 표면에 형성된 소자분리 불순물 영역을 더 포함하되, 상기 소자분리 불순물 영역은 상기 반도체기판과 다른 도전형을 갖는 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

**【청구항 11】**

제 9 항에 있어서,

상기 소자분리막의 상부면은 상기 활성영역의 상부면과 동일한 레벨에 위치하거나 상기 활성영역의 상부면보다 낮은 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

**【청구항 12】**

제 9 항에 있어서,

상기 제1 및 제2 상부 게이트 전극들 사이의 상기 제1 및 제2 트랜지스터 활성영역들과 아울러서 상기 중심 반도체 기둥에 형성된 공통 드레인 영역;

상기 제1 상부 게이트 전극에 인접하고 상기 공통 드레인 영역의 반대편에 위치하는 상기 제1 트랜지스터 활성영역에 형성된 제1 소오스 영역; 및

상기 제2 상부 게이트 전극에 인접하고 상기 공통 드레인 영역의 반대편에 위치하는 상기 제2 트랜지스터 활성영역에 형성된 제2 소오스 영역을 더 포함하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

### 【청구항 13】

반도체기판의 소정영역에 형성되어 활성영역을 한정하는 소자분리막;

상기 활성영역 상부에 배치되고 상기 활성영역과 겹치는 트랜지스터 활성영역;

상기 트랜지스터 활성영역의 양 단들에 각각 배치되고 상기 활성영역과 접촉하는 제1 및 제2 반도체 기둥들;

상기 트랜지스터 활성영역의 중심부를 가로질러 상기 트랜지스터 활성영역을 제1 및 제2 트랜지스터 활성영역들로 분할시키면서(divide) 상기 활성영역과 접촉하되, 상기 제1 및 제2 트랜지스터 활성영역들이 상기 활성영역으로부터 이격되도록 상기 제1 및 제2 트랜지스터 활성영역들을 지지하는 중심 반도체 기둥(central semiconductor pillar);

상기 제1 트랜지스터 활성영역 및 상기 활성영역 사이의 영역을 채우고, 상기 활성영역, 상기 제1 트랜지스터 활성영역, 상기 제1 반도체 기둥 및 상기 중심 반도체 기둥으로부터 절연된 제1 하부 게이트 전극;

상기 제2 트랜지스터 활성영역 및 상기 활성영역 사이의 영역을 채우고, 상기 활성영역, 상기 제2 트랜지스터 활성영역, 상기 제2 반도체 기둥 및 상기 중심 반도체 기둥으로부터 절연된 제2 하부 게이트 전극;

상기 제1 트랜지스터 활성영역의 상부를 가로지르고 상기 제1 하부 게이트 전극의 측벽과 접촉하는 양 단들을 갖는 제1 상부 게이트 전극; 및

상기 제2 트랜지스터 활성영역의 상부를 가로지르고 상기 제2 하부 게이트 전극의 측벽과 접촉하는 양 단들을 갖는 제2 상부 게이트 전극을 포함하되, 상기 제1 및 제2 상부 게이트 전극들은 각각 상기 제1 및 제2 하부 게이트 전극들과 겹치는 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

**【청구항 14】**

제 13 항에 있어서,

상기 중심 반도체 기둥과 아울러서 상기 제1 및 제2 반도체 기둥들과 접촉하는 상기 활성영역의 표면들에 형성된 소자분리 불순물 영역들을 더 포함하되, 상기 소자분리 불순물 영역들은 상기 반도체기판과 다른 도전형을 갖는 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

**【청구항 15】**

제 13 항에 있어서,

상기 소자분리막의 상부면은 상기 활성영역의 상부면과 동일한 레벨에 위치하거나 상기 활성영역의 상부면보다 낮은 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

**【청구항 16】**

제 13 항에 있어서,

상기 제1 및 제2 상부 게이트 전극들 사이의 상기 제1 및 제2 트랜지스터 활성영역들과 아울러서 상기 중심 반도체 기둥에 형성된 공통 드레인 영역;



상기 제1 상부 게이트 전극에 인접하고 상기 공통 드레인 영역의 반대편에 위치하는 상기 제1 트랜지스터 활성영역 및 상기 제1 반도체 기둥에 형성된 제1 소오스 영역; 및

상기 제2 상부 게이트 전극에 인접하고 상기 공통 드레인 영역의 반대편에 위치하는 상기 제2 트랜지스터 활성영역 및 상기 제2 반도체 기둥에 형성된 제2 소오스 영역을 더 포함하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

#### 【청구항 17】

반도체기판의 소정영역에 형성되어 활성영역을 한정하는 소자분리막;

상기 활성영역 상부에 배치되고 상기 활성영역과 겹치는 트랜지스터 활성영역;

상기 트랜지스터 활성영역의 양 단들에 각각 배치되고 상기 활성영역과 접촉하는 제1 및 제2 반도체 기둥들;

상기 트랜지스터 활성영역 및 상기 활성영역 사이의 영역을 채우고, 상기 활성영역, 상기 트랜지스터 활성영역, 상기 제1 반도체 기둥 및 상기 제2 반도체 기둥으로부터 절연된 하부 게이트 전극; 및

상기 트랜지스터 활성영역의 상부를 가로지르고 상기 하부 게이트 전극의 측벽과 접촉하는 양 단들을 갖는 제1 및 제2 평행한 상부 게이트 전극들을 포함하되, 상기 제1 및 제2 상부 게이트 전극들은 상기 제1 및 제2 반도체 기둥들 사이에 배치되어 상기 하부 게이트 전극과 겹치는 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

#### 【청구항 18】

제 17 항에 있어서,

상기 제1 및 제2 반도체 기둥들과 접촉하는 상기 활성영역의 표면들에 형성된 소자 분리 불순물 영역들을 더 포함하되, 상기 소자분리 불순물 영역들은 상기 반도체기판과 다른 도전형을 갖는 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

【청구항 19】

제 17 항에 있어서,

상기 소자분리막의 상부면은 상기 활성영역의 상부면과 동일한 레벨에 위치하거나 상기 활성영역의 상부면보다 낮은 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

【청구항 20】

제 17 항에 있어서,

상기 제1 및 제2 상부 게이트 전극들 사이의 상기 트랜지스터 활성영역에 형성된 공통 드레인 영역;

상기 제1 상부 게이트 전극에 인접하고 상기 공통 드레인 영역의 반대편에 위치하는 상기 트랜지스터 활성영역 및 상기 제1 반도체 기둥에 형성된 제1 소오스 영역; 및

상기 제2 상부 게이트 전극에 인접하고 상기 공통 드레인 영역의 반대편에 위치하는 상기 트랜지스터 활성영역 및 상기 제2 반도체 기둥에 형성된 제2 소오스 영역을 더 포함하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터.

【청구항 21】

반도체기판 상에 제1 희생막, 반도체막 및 하부 하드마스크막을 차례로 형성하고,

상기 하부 하드마스크막, 상기 반도체막 및 상기 제1 희생막을 관통하여 상기 반도체기판의 소정영역과 접촉하는 적어도 하나의 반도체 기둥을 형성하고,

상기 반도체 기둥을 갖는 반도체기판 상에 상부 하드마스크막을 형성하고,

상기 상부 하드마스크막 및 상기 하부 하드마스크막을 연속적으로 패터닝하여 상기 반도체 기둥을 덮는 하드마스크 패턴을 형성하고,

상기 하드마스크 패턴을 식각 마스크로 사용하여 상기 반도체막, 상기 제1 희생막 및 상기 반도체기판을 연속적으로 식각하여 상기 반도체 기둥과 접촉하면서 차례로 적층된 제1 희생막 패턴 및 트랜지스터 활성영역을 형성함과 동시에 상기 하드마스크 패턴의 하부에 활성영역을 한정하는 트렌치 영역을 형성하고,

상기 제1 희생막 패턴을 선택적으로 제거하여 상기 트랜지스터 활성영역의 아래에 언더컷 영역을 형성하고,

상기 언더컷 영역을 채우는 제2 희생막 패턴을 형성하고,

상기 트렌치 영역 내에 상기 제2 희생막 패턴의 측벽을 노출시키는 리세스된 소자 분리막을 형성하고,

상기 제2 희생막 패턴 및 상기 하드마스크 패턴을 선택적으로 제거하여 상기 트랜지스터 활성영역 하부에 상기 언더컷 영역을 다시 형성하고,

상기 트랜지스터 활성영역의 표면, 상기 활성영역의 상부면 및 상기 반도체 기둥의 표면 상에 게이트 절연막을 형성하고,

상기 게이트 절연막을 갖는 반도체기판 상에 상기 언더컷 영역을 채우는 도전막을 형성하고,

상기 도전막을 패터닝하여 상기 트랜지스터 활성영역의 상부를 가로지르면서 상기 언더컷 영역과 겹치는 적어도 하나의 상부 게이트 전극을 형성함과 동시에 상기 언더컷

영역 내에 잔존하고 상기 상부 게이트 전극의 양 단들과 접속된 하부 게이트 전극을 형성하는 것을 포함하는 이중 게이트 모스 트랜지스터 제조방법.

【청구항 22】

제 21 항에 있어서,

상기 제1 희생막은 상기 반도체기판, 상기 반도체막에 대하여 식각선택비를 갖는 단결정 반도체막으로 형성하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터 제조방법.

【청구항 23】

제 22 항에 있어서,

상기 단결정 반도체막은 실리콘 게르마늄막(SiGe layer)인 것을 특징으로 하는 이중 게이트 모스 트랜지스터 제조방법.

【청구항 24】

제 21 항에 있어서,

상기 반도체막은 단결정 실리콘막인 것을 특징으로 하는 이중 게이트 모스 트랜지스터 제조방법.

【청구항 25】

제 21 항에 있어서,

상기 하부 하드 마스크막은 실리콘 질화막으로 형성하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터 제조방법.

**【청구항 26】**

제 21 항에 있어서,  
상기 적어도 하나의 반도체 기둥을 형성하는 것은  
상기 하부 하드마스크막, 상기 반도체막 및 상기 제1 희생막을 연속적으로 패터닝하여 상기 반도체기판의 소정영역을 노출시키는 홀을 형성하고,  
상기 홀을 선택적 에피택시얼 성장 기술을 사용하여 반도체 물질로 채우는 것을 포함하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터 제조방법.

**【청구항 27】**

제 26 항에 있어서,  
상기 홀을 상기 반도체 물질로 채우기 전에, 상기 노출된 반도체기판 내에 상기 반도체기판과 다른 도전형을 갖는 불순물 이온들을 주입하여 소자분리 불순물 영역을 형성하는 것을 더 포함하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터 제조방법.

**【청구항 28】**

제 26 항에 있어서,  
상기 홀을 상기 반도체 물질로 채우는 것은  
상기 홀의 내벽들 상에 선택적 에피택시얼 성장 기술을 사용하여 예비 반도체 기둥을 성장시키되, 상기 예비 반도체 기둥은 상기 홀을 완전히 채우지 않도록 성장되고,  
상기 예비 반도체 기둥을 열처리하여 상기 예비 반도체 기둥 내의 결정결함들을 치유함과 동시에 상기 예비 반도체 기둥에 의해 둘러싸여진 홀의 종횡비를 감소시키고,

상기 선택적 에피택시얼 성장 기술을 다시 사용하여 상기 홀을 상기 반도체 물질로 완전히 채우는 것을 포함하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터 제조방법.

**【청구항 29】**

제 28 항에 있어서,

상기 열처리는 아르곤 가스를 사용하여 900℃의 온도에서 실시하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터 제조방법.

**【청구항 30】**

제 28 항에 있어서,

상기 열처리는 수소 가스를 사용하여 600℃ 내지 1000℃의 온도에서 실시하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터 제조방법.

**【청구항 31】**

제 28 항에 있어서,

상기 열처리는 레이저를 사용하여 실시하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터 제조방법.

**【청구항 32】**

제 21 항에 있어서,

상기 반도체 기둥은 상기 반도체막과 동일한 물질막으로 형성하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터 제조방법.

**【청구항 33】**

제 21 항에 있어서,

상기 상부 하드마스크막은 상기 하부 하드마스크막과 동일한 물질막으로 형성하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터 제조방법.

**【청구항 34】**

제 21 항에 있어서,

상기 제2 희생막 패턴을 형성하는 것은

상기 제1 희생막 패턴이 제거된 반도체기판의 전면 상에 상기 언더컷 영역을 채우는 제2 희생막을 형성하고,

상기 제2 희생막을 식각하여 상기 트렌치 영역의 내벽을 노출시킴과 동시에 상기 언더컷 영역 내에만 상기 제2 희생막을 남기는 것을 포함하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터 제조방법.

**【청구항 35】**

제 34 항에 있어서,

상기 제2 희생막은 상기 하드마스크 패턴과 동일한 물질막으로 형성하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터 제조방법.

**【청구항 36】**

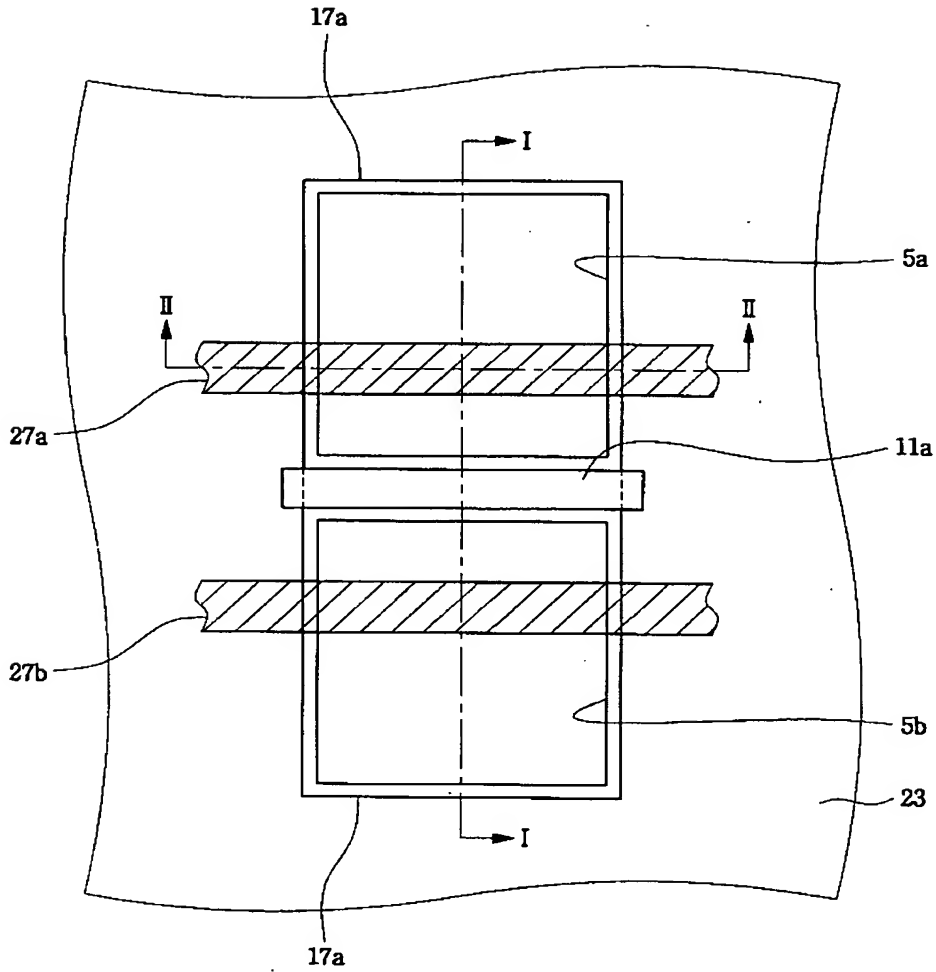
제 21 항에 있어서,

상기 상부 게이트 전극을 이온주입 마스크로 사용하여 상기 트랜지스터 활성영역 내에 불순물 이온들을 주입하여 소오스/드레인 영역들을 형성하는 것을 더 포함하는 것을 특징으로 하는 이중 게이트 모스 트랜지스터 제조방법.

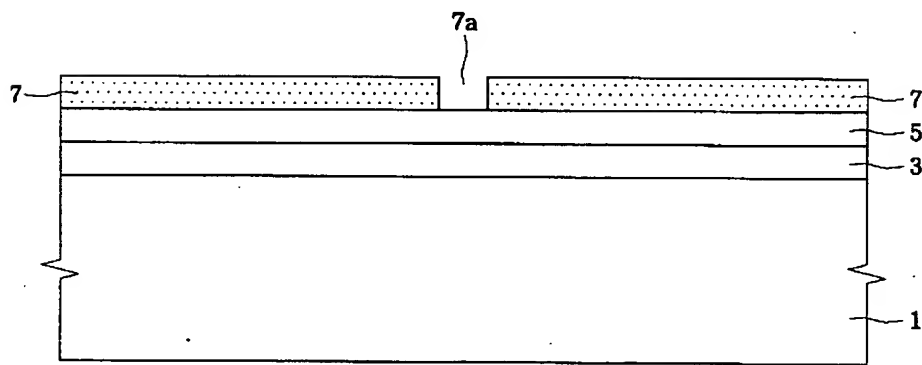


【도면】

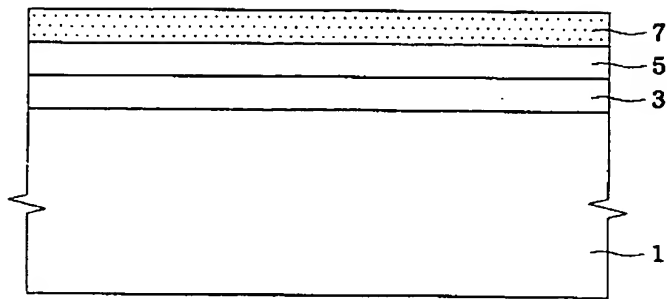
【도 1】



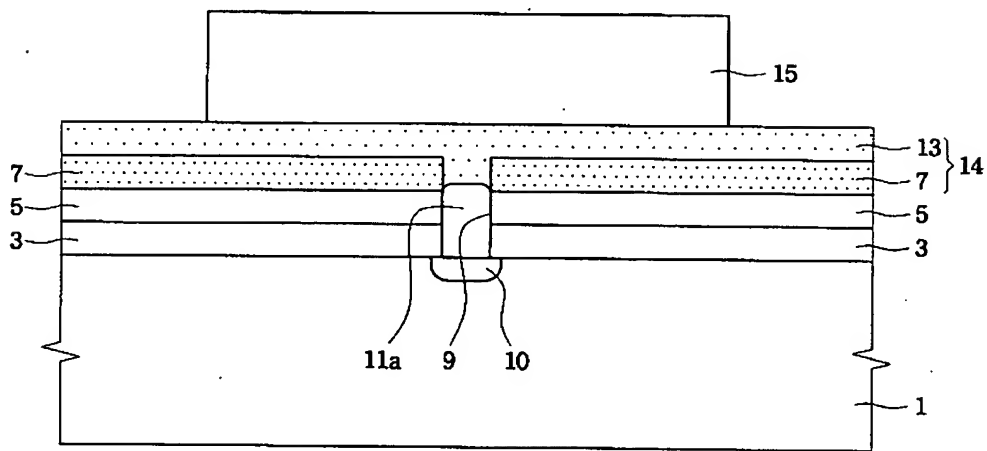
【도 2a】



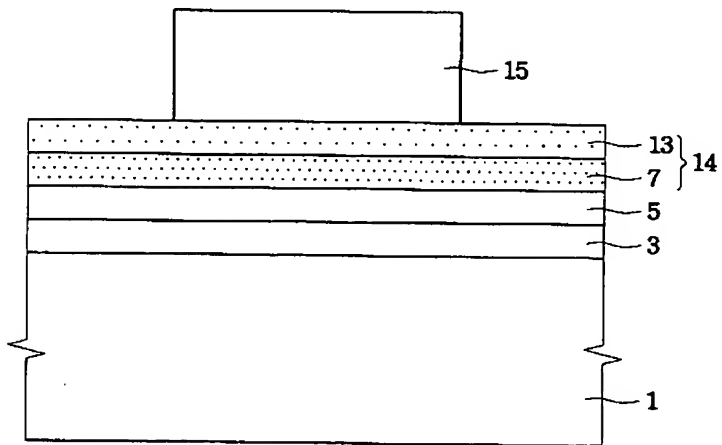
【도 2b】



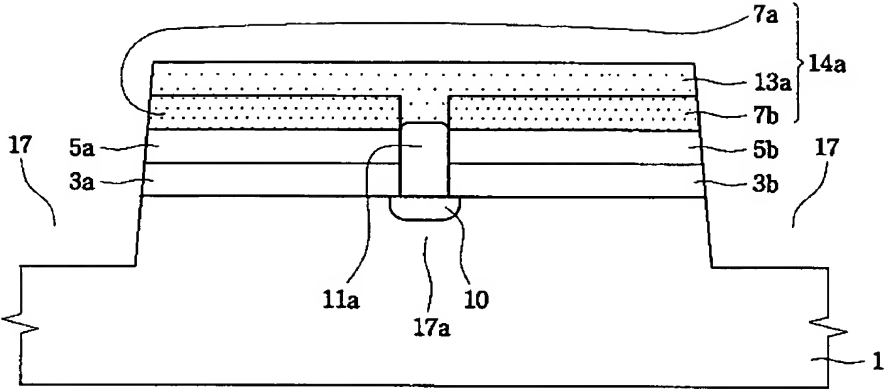
【도 3a】



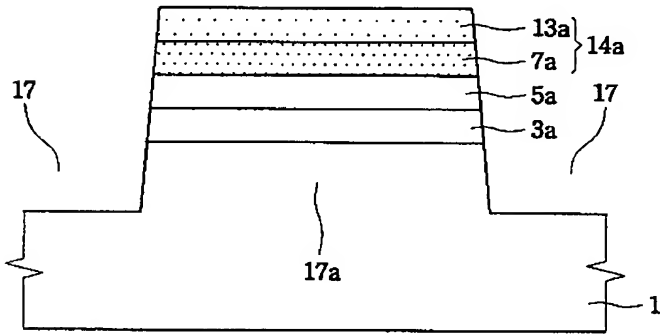
【도 3b】



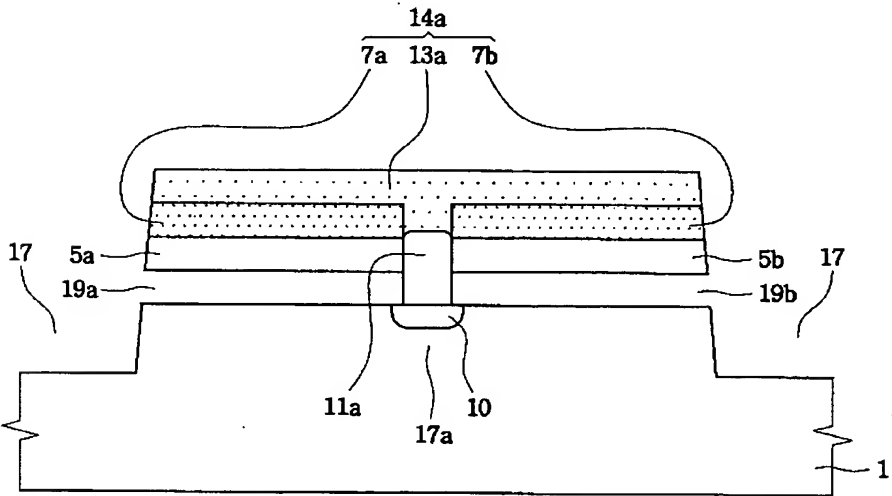
【도 4a】



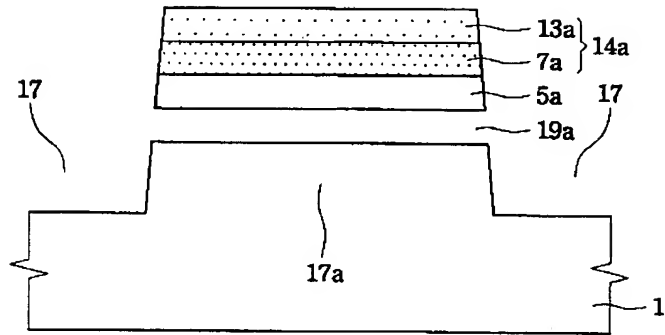
【도 4b】



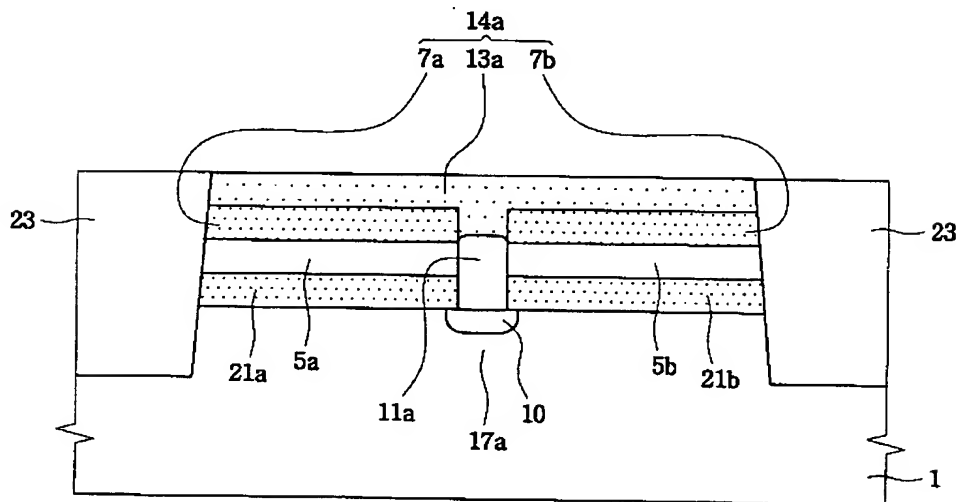
【도 5a】



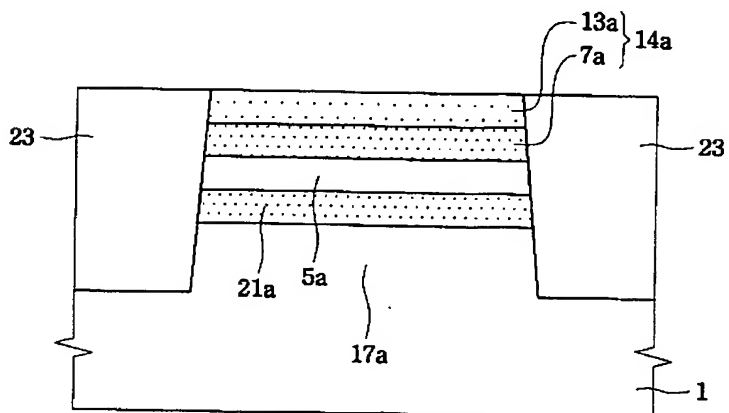
【도 5b】



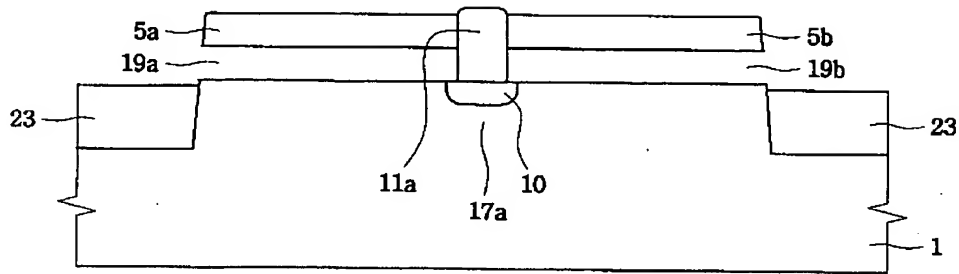
【도 6a】



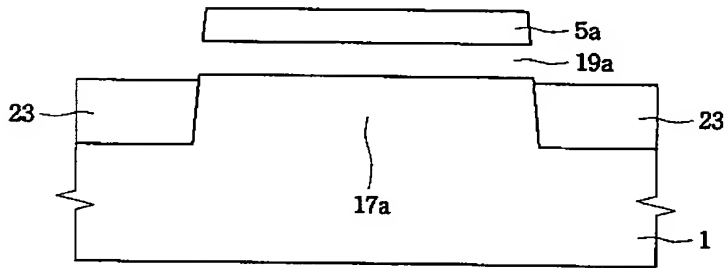
【도 6b】



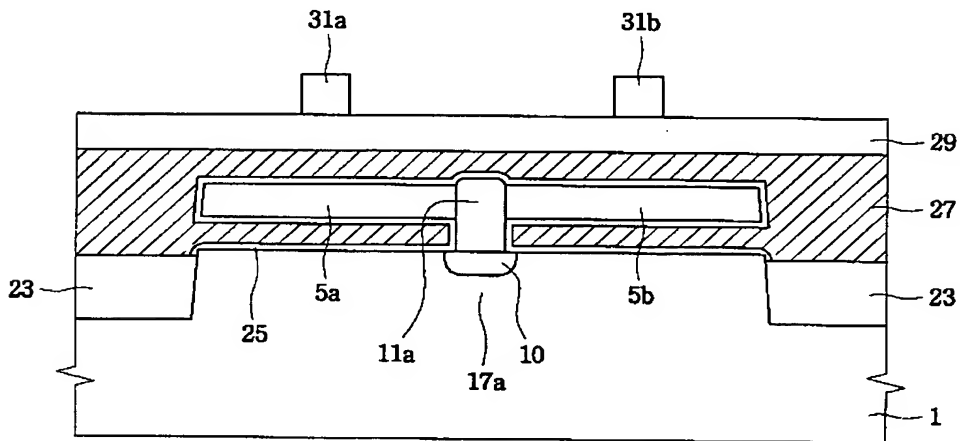
【도 7a】



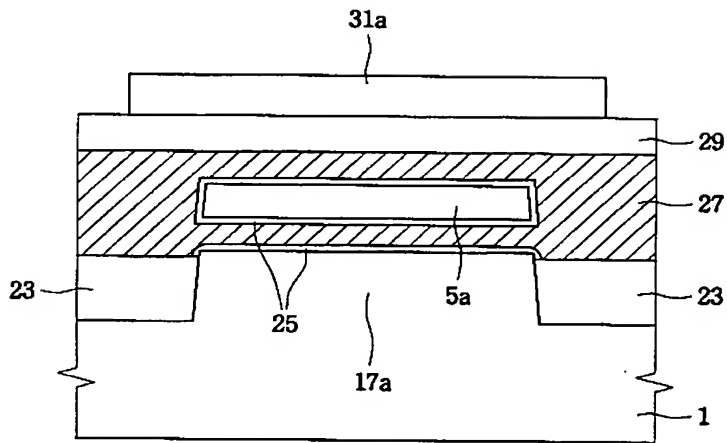
【도 7b】



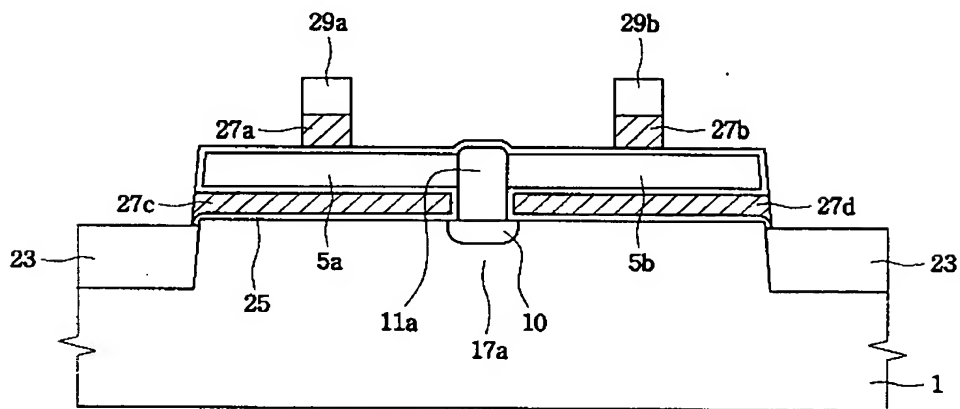
【도 8a】



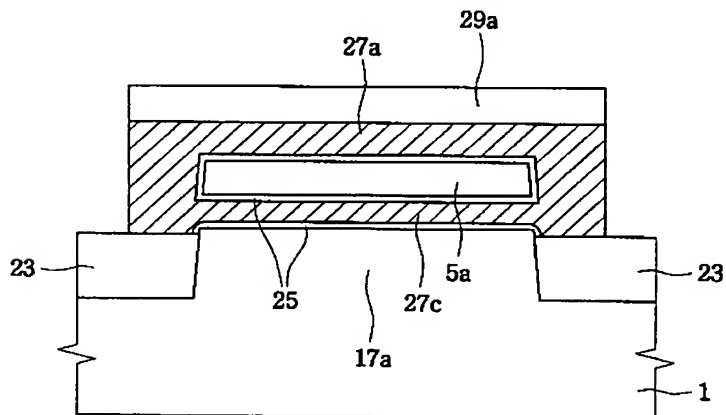
【도 8b】



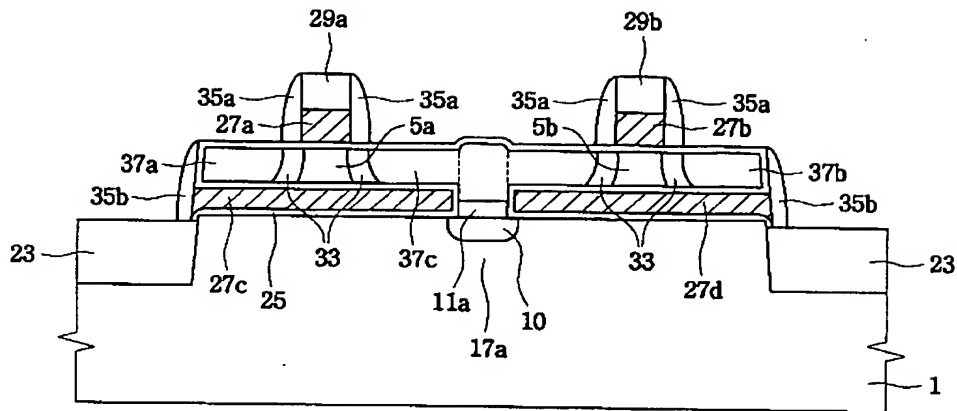
【도 9a】



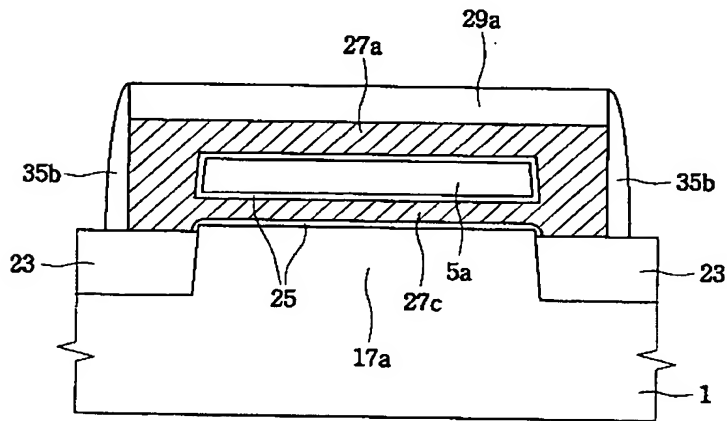
【도 9b】



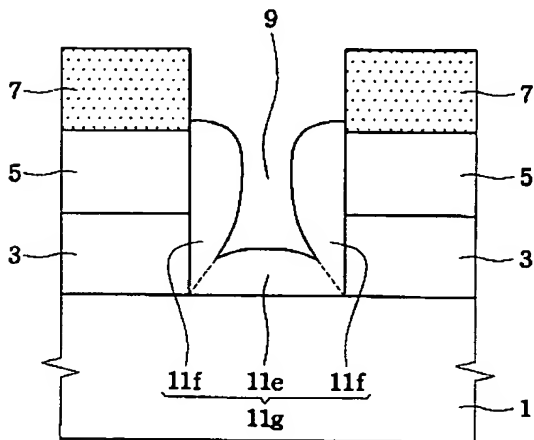
【도 10a】



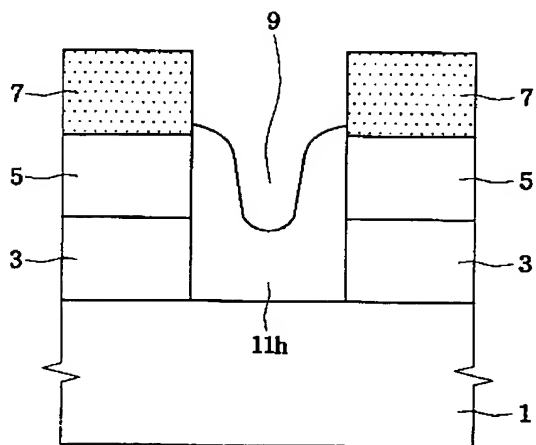
【도 10b】



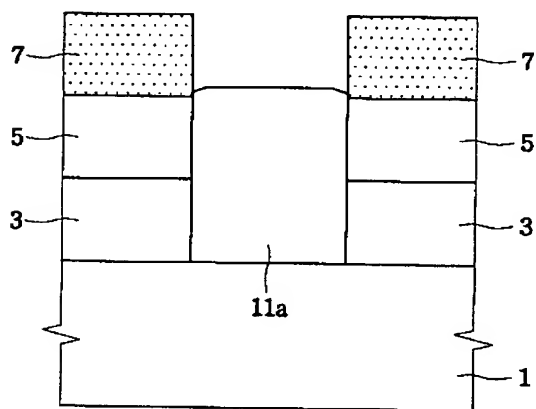
【도 11】



【도 12】

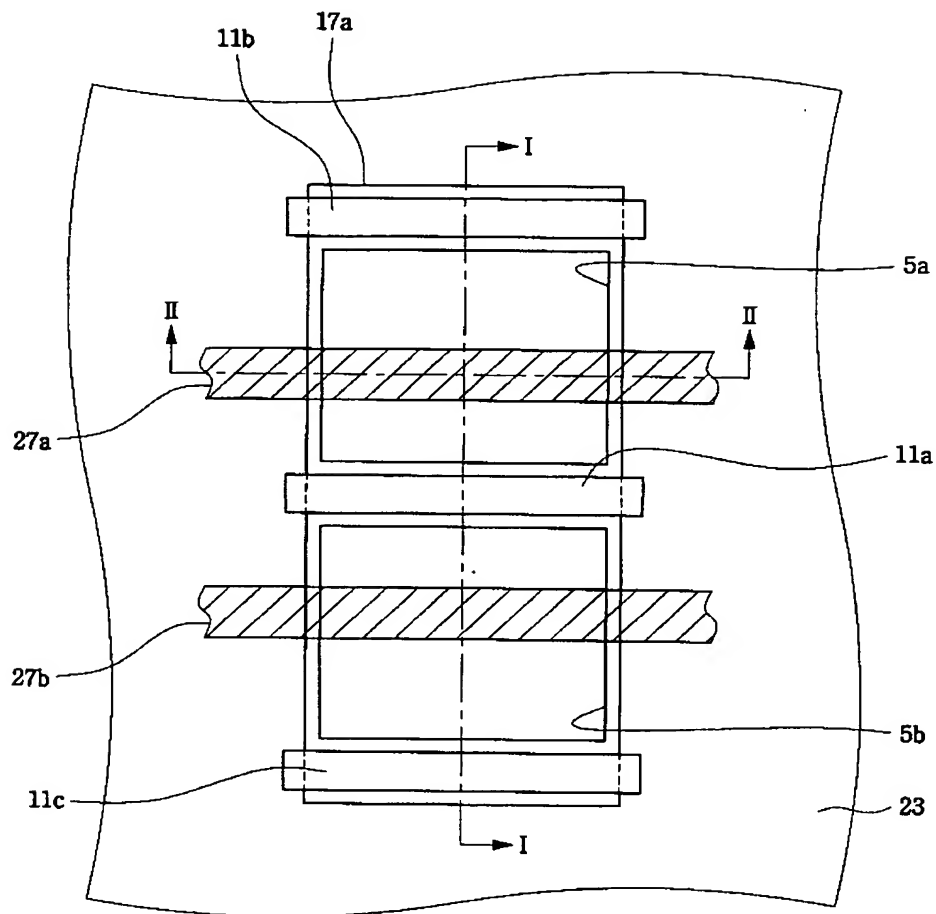


【도 13】

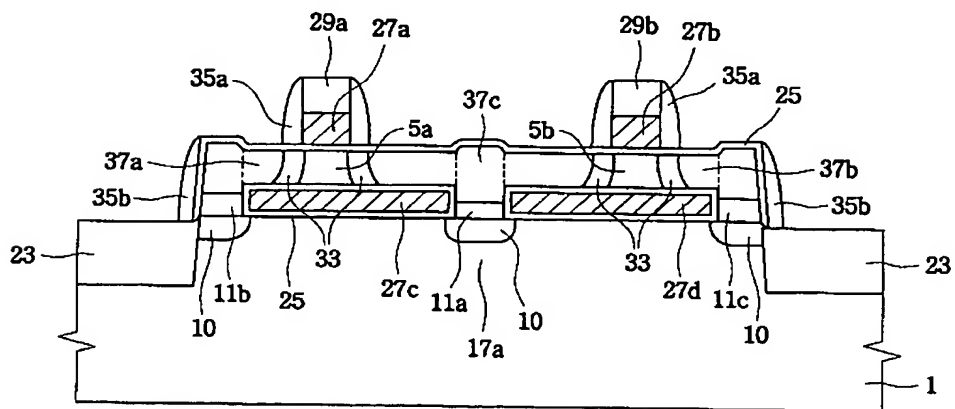




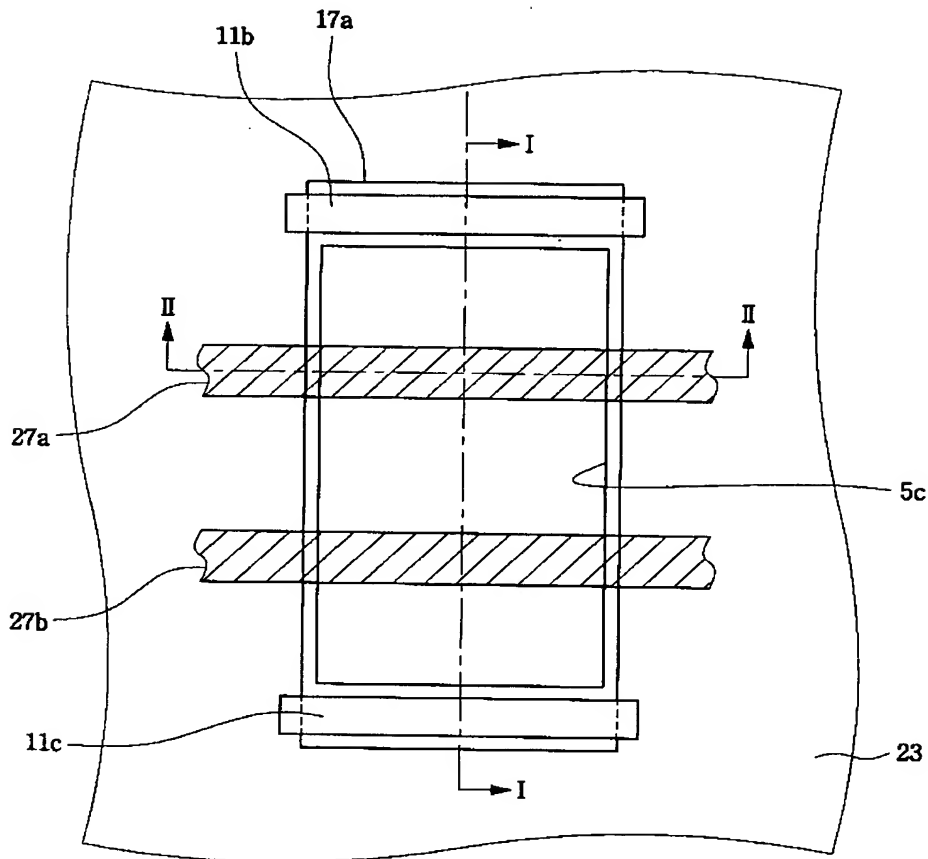
【도 14】



【도 15】



【도 16】



【도 17】

